

Analisis Disain 25 Step Mosfet Multilevel Inverter Terkendali SPWM

Setiyono¹; Joko Purnomo¹; Bambang Dwinanto¹

¹Jurusan Teknik Elektro Fakultas Teknologi Industri Universitas Gunadarma, Jalan
Margonda Raya No 100 Depok, Indonesia

setiyono@staff.gunadarma.ac.id; jokopurn@staff.gunadarma.ac.id;
bambang_dwi@staff.gunadarma.ac.id

Received: 21 Juni 2023 | Accepted: 8 Januari 2024 | Published: 8 Januari 2024

Abstract

This paper presents a 25 level DC to AC voltage converter technique using a MOSFET with Sinusoidal Pulse Width Modulation (SPWM) control. The goal is to make an inverter that has an output voltage close to a sinusoid with the lowest possible harmonic content. The method used is to build a single-pole ladder type cascade multilevel inverter using a MOSFET semiconductor device equipped with a snubber protector when under inductive load through modeling simulations with Matlab Simulink. The simulation results show the inverter output voltage waveform in the form of a ladder wave of 25 amplitude levels 220 V with a frequency of 50 Hz with a THD of 10.26%. This design is expected to be a reference for researchers for further research and can be implemented into an electronic circuit.

Keyword : 25 Step Multilevel Inverter

Abstrak

Paper ini menyajikan teknik pengubah tegangan DC ke AC 25 level menggunakan MOSFET dengan kendali Sinusoida Pulse Width Modulation (SPWM). Tujuannya adalah membuat inverter yang memiliki tegangan keluaran mendekati sinusoida dengan tingkat kandungan harmonik sekecil mungkin. Metode yang digunakan adalah dengan membangun disain cascade multilevel inverter jenis tangga satu kutub menggunakan divais semikonduktor MOSFET dilengkapi pelindung snubber ketika berbeban induktif melalui simulasi pemodelan dengan Matlab Simulink. Hasil simulasi menunjukkan gelombang tegangan keluaran inverter berupa gelombang tangga 25 level amplitudo 220 V frekuensi 50 Hz dengan THD sebesar 10,66 %. Disain ini diharapkan dapat menjadi rujukan bagi peneliti untuk penelitian lanjutan dan bisa diimplementasikan menjadi rangkaian elektronik.

Kata Kunci : 25 Step Multilevel Inverter

1. PENDAHULUAN

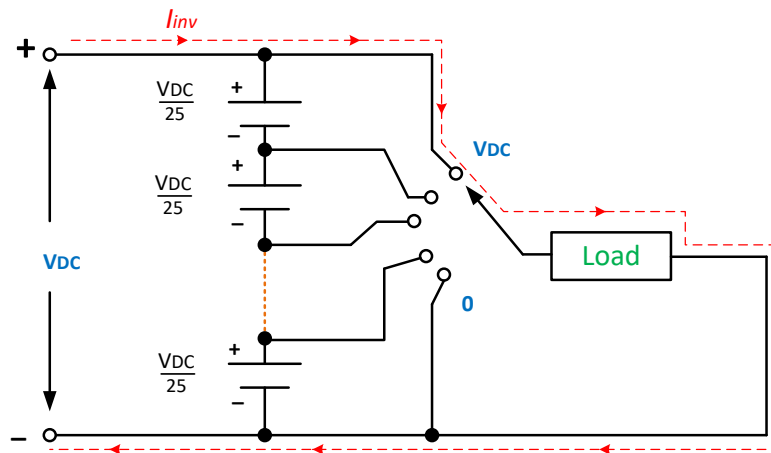
Multilevel Inverter (MLI) adalah sebuah susunan saklar elektronik pengubah format tegangan searah (DC) dari beberapa tingkat tegangan menjadi besaran bolak balik (AC) yang memiliki bentuk gelombang tangga dengan tujuan untuk memperoleh format gelombang menyerupai dan mendekati bentuk sinusoida. [1][2]. Besarnya tegangan keluaran variable dapat ditentukan dengan variasi level tegangan masukan DC pada penguatan inverter konstan [3][4]. Sebagai contoh untuk inverter tujuh tingkat jenis jembatan-H Saklar saklar inverter dapat disusun dengan tiga buah rangkaian jembatan -H Menggunakan Mosfet IGBT Dioda Sumber DC dengan nilai tegangan sama. Jumlah level tegangan keluaran bergantung pada jumlah rangkaian jembatan H. [5]. Namun demikian aplikasi MLI ini memiliki kelemahan pada penerapan tegangan tinggi, karena banyak energy yang hilang (power losses) pada saklar sehingga efisiensi sangat rendah. [6]. Ada Tiga topologi dasar MLI yaitu : Flying Capacitor (FC) MLI, Neutral Point Clamped (NPC) MLI, dan Cascaded H-Bridge (CHB) MLI[7][8] [9]. MLI juga dikategorikan lagi ke dalam tipe lain seperti (i) MLI simetris (ii) MLI Asimetris dan (iii) MLI Hybrid [5][6]. MLI simetris mempunyai jumlah sakelar dan urutan switching sama pada setengah siklus positif dan negatif sedangkan pada MLI asimetris memiliki jumlah sakelar dan urutan switching yang tidak identik di kedua siklus [10]. Beberapa keunggulan dari MLI ini antara lain sangat tepat pada penerapan tegangan dan arus tinggi, dapat beroperasi pada frekuensi rendah, factor daya mendekati satu, tidak terpengaruh interferensi elektromagnetik, biaya terjangkau [11][12]. Disisi lain MLI menghadirkan harmonisa yang berdampak buruk bagi peralatan listrik karena harmonic ini menyebabkan panas lebih sehingga memperpendek usia perangkat listrik. Sehingga untuk meredam harmonisa ini dapat dilakukan dengan meningkatkan jumlah level sisi tegangan keluaran MLI [13][14][15][16] atau dengan mengurangi rugi rugi pensaklaran pada semikonduktor daya [17][18]. Ada juga inverter bertingkat berbasis switched-capacitor (SC). Inverter ini memiliki dengan kemampuan lebih dibandingkan dengan topologi inverter lain. Topologi MLI berbasis SC, mempunyai struktur yang sederhana, jumlah saklar yang sedikit, lebih banyak level tegangan output dan memerlukan lebih sedikit catu daya dc [19]. Pembagi tegangan input MLI terdiri dari beberapa kapasitor DC seri namun susunan kapasitor ini dapat mengakibatkan ketidakseimbangan tegangan, sehingga menyebabkan harmonik pada sisi tegangan output dan tegangan lebih di perangkat switching [20].

Pada umumnya Kinerja saklar MLI dikendalikan oleh pulsa penyulutan menggunakan modulasi lebar pulsa PWM (Pulse Width Modulation) dengan tujuan untuk mendapatkan waktu pensaklaran yang presisi [21]. PWM memiliki keunggulan dibanding dengan metode penyulutan saklar lain pada sebuah MLI yaitu rugi daya yang sangat rendah [22]. Terkait dengan MLI ini, beberapa penelitian sebelumnya antara lain Mr.K.S. Gowthaman membangun sebuah inverter 9 level dengan mereduksi jumlah saklar dimana pada sisi sumber masukan menggunakan 4 buah saklar mosfet dan pada sisi H-Bridge Inverter terdapat empat buah saklar. Hasil, yang diperoleh bahwa penggunaan saklar mosfet dapat mengurangi rugi rugi pensaklaran (switching losses) dan mampu ekerja pada frekuensi tinggi [23]. M.Fawwaz Rizaldy, dalam risetnya mengatakan bahwa topologi diode clamp multilevel inverter memiliki kandungan harmonisa yang cukup tinggi pada sisi tegangan keluarannya. Penggunaan tapis pasif (pasif filter) L-C-L diharapkan mampu meredam indeks THD yang timbul pada sisi keluaran, dengan kapasitas filter berbanding lurus dengan daya yang digunakan [24]. Bhanu mendisain 15 step cascade multilevel inverter yang tersusun dari 3 buah tegangan masukan dan 3 buah unit jembatan saklar mosfet H-Bridge [25]. Hasilnya dengan peningkatan level tegangan masukan maka THD pada sisi keluaran dapat ditekan sekecil mungkin.

Berbeda dengan para penelitian sebelumnya, riset ini merupakan pengembangan dari para peneliti terdahulu dengan membangun cascade multilevel inverter yang memiliki tegangan keluaran

25 step tangga. Jumlah tegangan sumber yang diperlukan sebanyak 12 buah dengan tegangan tiap tiap sumber sebesar 9 V. Pada sisi keluaran hanya menggunakan satu unit penyearah H-Bridge (4 buah saklar Mosfet). Untuk pengatur kinerja saklar jembatan Hybride menggunakan metode pembangkit pulsa SPWM (Sinusoida Pulse Width Modulation). Hasil simulasi menunjukkan THD turun sebesar 10,65 %.

Pengubah DC ke AC dengan jumlah n level pada umumnya digunakan untuk menghasilkan bentuk gelombang keluaran tangga yang mendekati sinuoida dengan memvariasikan tegangan masukan DC dari beberapa level. Jumlah level ini berpengaruh pada bentuk output yang dihasilkan. Semakin banyak jumlah level maka format gelombang yang dihasilkan akan semakin mendekati sinusoida sehingga indeks Total Harmonik Distrortion (THD) semakin kecil.



Gambar 1. Ide Dasar MLI 25 Level Inverter

Gambar 1 merupakan ide dasar dari sebuah MLI dimana beban terhubung dengan saklar untuk memilih pada level mana beban tersebut di catu oleh tegangan DC masukan. Aliran arus akan mengalir dari sumber DC menuju beban (load) melalui saklar pemilih level. Jatuh tegangan output melintas pada beban terhadap ground. Karena gelombang sinusoida merupakan penjumlahan dari komponen harmonik yang berupa gelombang kotak maka nilai tegangan keluaran multilevel inverter dapat ditentukan dengan persamaan 1. [26]

$$V_0(\omega t) = V_0 + \sum_{n=1}^{\infty} (a_n \sin n\omega t) + \sum_{n=1}^{\infty} (b_n \cos n\omega t) \quad (1)$$

Dimana

$$V_0 = \frac{1}{2\pi} \int_0^{2\pi} V_0(\omega t) d\omega t$$

$$a_n = \frac{1}{\pi} \int_0^{2\pi} V_0(\omega t) \sin n\omega t d\omega t$$

$$b_n = \frac{1}{\pi} \int_0^{2\pi} V_0(\omega t) \cos n\omega t d\omega t$$

Persamaan 1 merupakan deret fourier dan dapat diekspresikan dalam format :

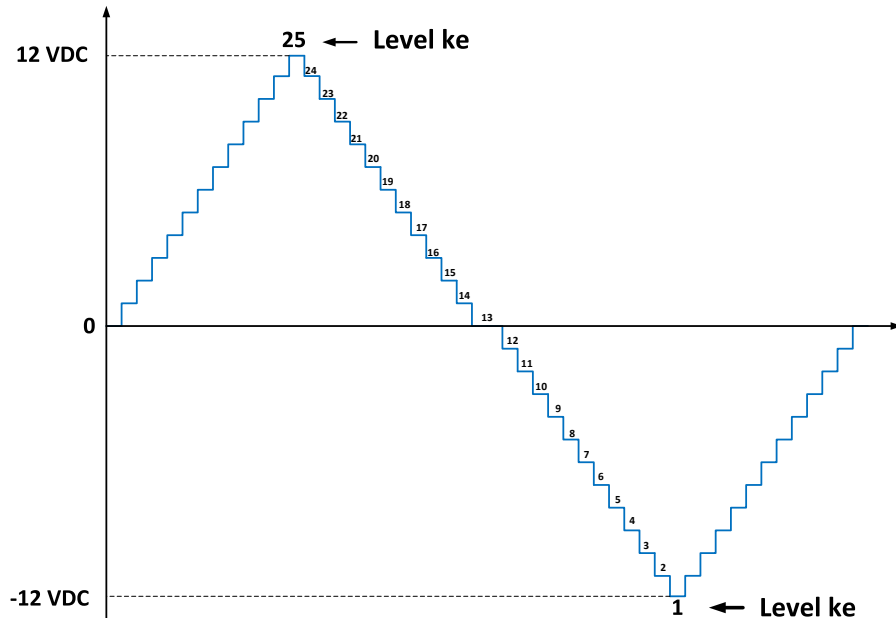
$$V_0(\omega t) = \frac{A_0}{2} + \sum_{n=1}^{\infty} A_n \cos (n\omega t + \theta_n) \quad (2)$$

$$A_n = \sqrt{a_n^2 + b_n^2}$$

$$\theta_n = \tan^{-1} \left(\frac{-b_n}{a_n} \right)$$

Nilai Total Harmonik Distortion untuk tegangan dari persamaan 1 dapat di tentukan dengan persamaan

$$V_{THD} = \frac{\sqrt{\sum_{h=1}^{\infty} V_h^2}}{V_1} \quad (3)$$

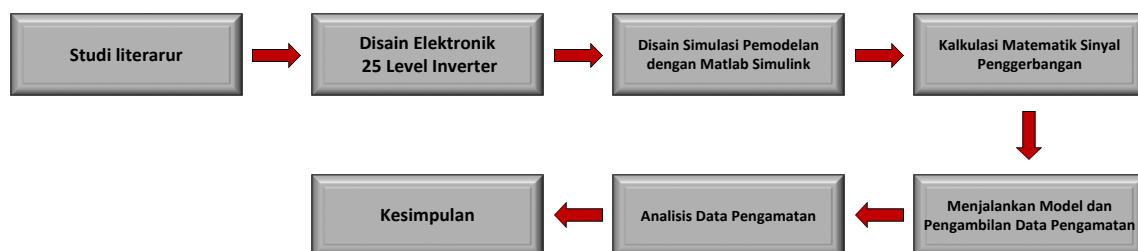


Gambar 2. Posisi Level tegangan dari 25 Step Mosfet Inverter

Gambar 2 memperlihatkan level ke n dari 25 step Mosfet inverter . Perhitungan level dimulai dari level paling bawah menunjuk ke level 1 dan level paling atas (level 25) terletak di ujung atas gelombang . Titik tengah tegangan nol berada pada level 13.

2. METODE/PERANCANGAN PENELITIAN

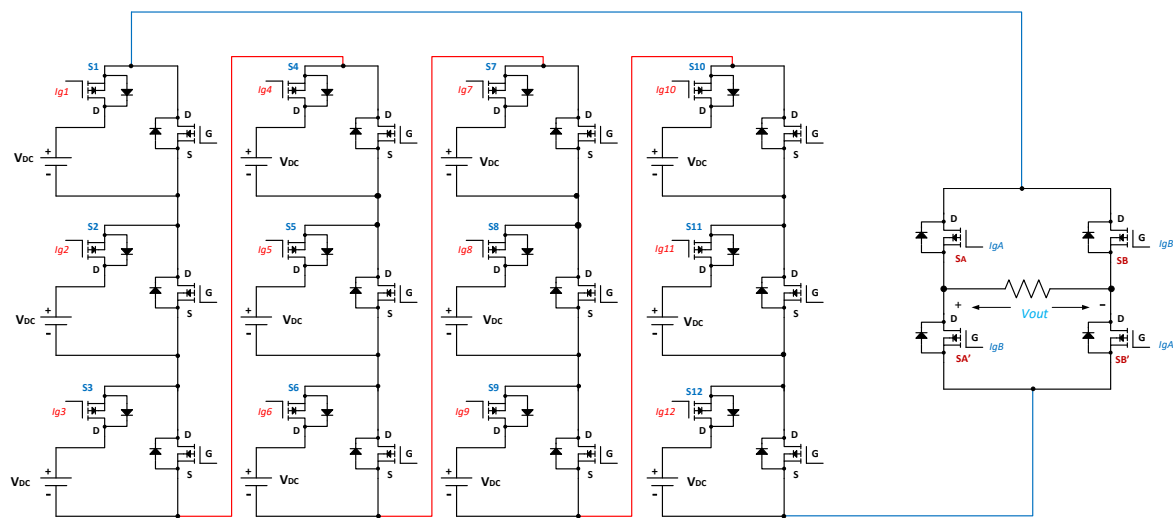
Penelitian ini dilakukan dengan membangun simulasi pemodelan 25 level mosfet inverter Menggunakan tolls matalab Simulink. Alur penelitian melalui beberapa tahap seperti tampak pada gambar 3.



Gambar 3. Tahap tahap penelitian pembuatan model 25 Level Inverter

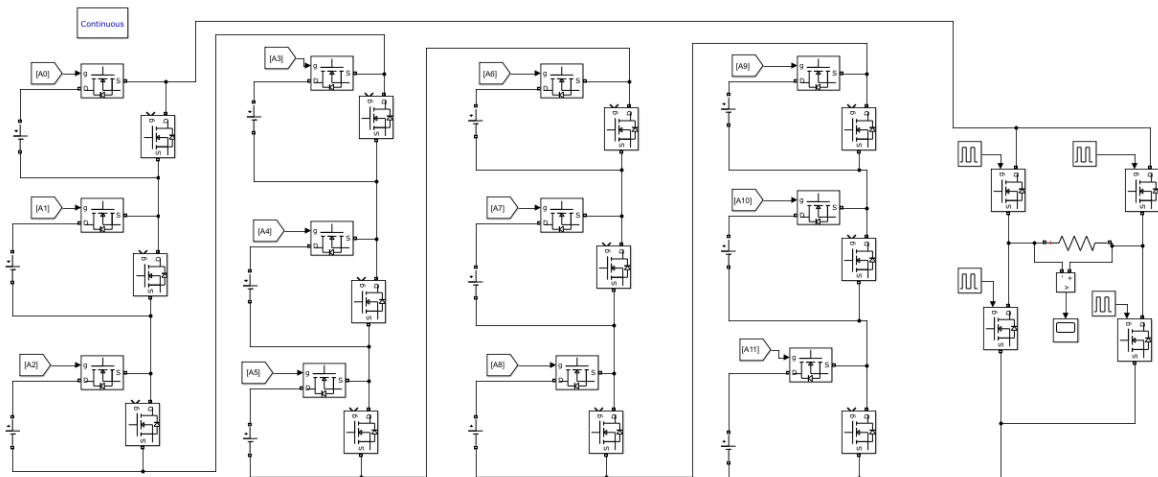
Gambar 3 merupakan langkah pekerjaan yang dilakukan untuk membangun pemodelan, tahap pertama mengumpulkan dan mempelajari literature sebagai dukungan teori, kemudian mendisain

system yang dibangun dengan rancangan rangkaian secara elektronik. Tahap ketiga adalah membangun pemodelan dari disain elektronik kedalam model simulasi matlab Simulink. Langkah selanjutnya adalah menentukan besaran dan nilai pulsa penggerbangan saklar pada disain model secara matematik. Nilai parameter pulsa penyalan yang dihitung antara lain amplitude, frekuensi, periode, lebar pulsa dan waktu tunda fasa gelombang. Kemudian menjalankan pemodelan untuk memperoleh besaran keluaran antara lain , bentuk tegangan keluaran inverter , bentuk gelombang pemicuan tiap tiap saklar, dan nilai total harmonic distortion (THD). Tahap ke tiga adalah membuat analysis parameter keluaran inverter yang diperoleh dari hasil pengamatan. Pekerjaan terakhir adalah membuat kesimpulan dari analisis data pengamatan.



Gambar 4. Disain Elektronik 25 level Mosfet Inverter

Gambar 4 merupakan disain elektronik 25 level mosfet inverter yang terdiri dari 12 pasang saklar mosfet disusun seri pada sisi masukan. Sepasang Mosfet pertama bekerja sebagai saklar untuk menghubungkan unit inverter dengan sumber masukan tegangan DC dan mosfet kedua berperan sebagai pembagi tegangan masukan VDC. Tinggi level tegangan DC ditentukan oleh konerja sakalr S1 – S12. Mosfet pertama dipicu oleh pulsa penyalan yang sudah ditentukan nilai amplitude, frekuensi, lebar pulsa dan waktu tundanya sedangkan mosfet kedua tanpa pulsa penyalan. Pada sisi kanan adalah rangkaian inverter mosfet jembatan - H yang disusun oleh 2 pasangan saklar mosfet (pasangan saklar SA dan SA' Serta SB dan SB'). Kedua pasangan bekerja secara komplementer artinya bila SA ON maka SA' OFF demikian juga bila SB ON maka SB' OFF. Saklar mosfet SA SB' dan SB SA' bekerja sinkron. Kedua pasangan ini dikendalikan oleh pulsa picu IgA dan IgB. Gerbang pembalik digunakan untuk memperoleh format sinyal yang memiliki perbedaan fasa 180°.



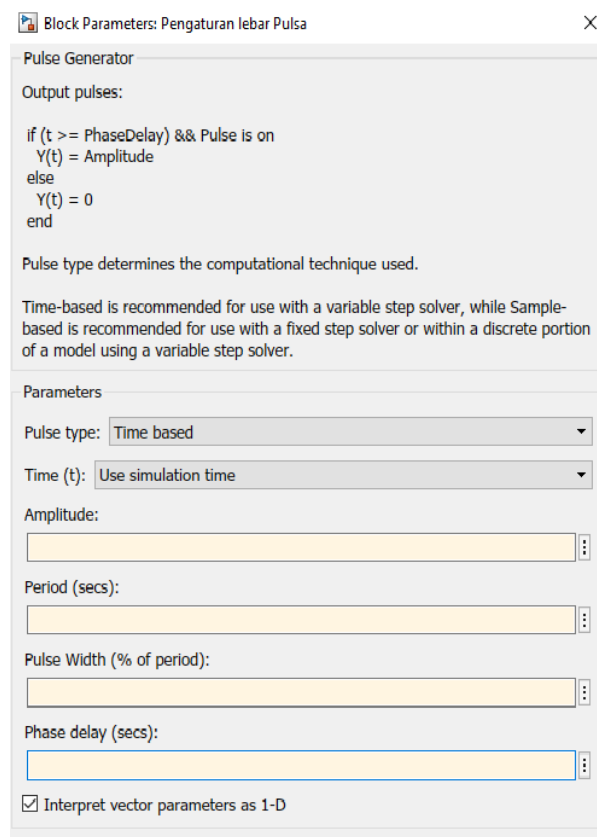
Gambar 5. Rangkaian Pemodelan Multilevel 25 Step Mosfet Inverter

Gambar 5 merupakan hasil pemodelan untai 25 level Mosfet Inverter pada tools matlab Simulink . Ada 12 sumber tegangan masukan DC sebesar 9 V yang di untai seri dan 12 pasang saklar mosfet sebagai saklar pembagi tegangan . Pada sisi pengubah DC ke AC hanya terdapat satu rangkaian jembatan – H mosfet. Jika disbanding dengan Multilevel topologi cascade jembatan maka rangkaian dengan topologi yang diajukan dapat mereduksi penggunaan sebanyaknya 4 buah .

3. HASIL DAN PEMBAHASAN

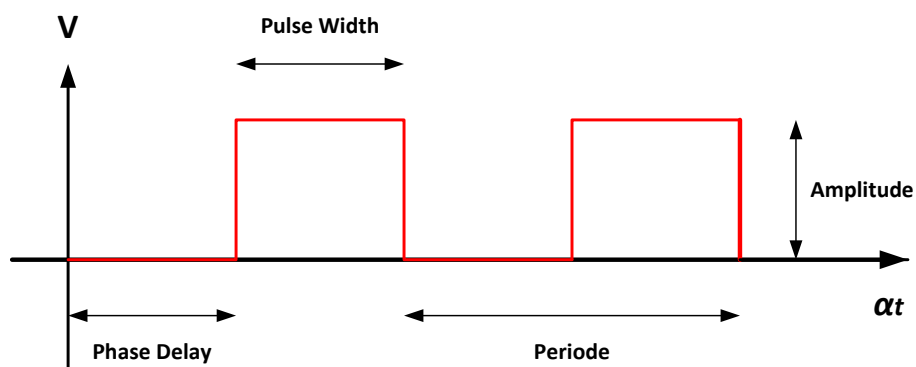
3.1. Analisis penyalan gerbang saklar pembagi tegangan S1 – S12

Perhitungan siklus penyalan saklar diperlukan untuk membuat pola pola kinerja saklar S1-S12 dengan timing yang berbeda beda. Perbedan tersebut menyangkut durasi dan duty cycle pulsa penyulutan tiap tiap saklar. Pada menu blok parameter pengaturan lebar pulsa pada jendela aplikasi matlab Simulink tiap tiap saklar di hitung dengan hasil yang akurat untuk mendapatkan pola pewaktuan yang proporsional sehingga bentuk keluaran tegangan inverter akan berbentuk seperti tangga mengerucut . Isian parameter pengaturan pulsa tampak pada gambar 6.



Gambar 6. Blok Parameter Pengaturan Lebar Pulsa

Gambar 6 Merupakan blok dialog Parameter kendali saklar mosfet pembagi tegangan yang harus di tentukan nilai nilainya. Parameter tersebut antara lain Amplitudo, Periode, Pulse Width, dan Phase delay



Gambar 7. Ilustrasi gelombang pulsa penyalan untuk saklar inverter

Gambar 7 merupakan bentuk deretan pulsa gelombang dengan yang menjelaskan parameter phase delay , pulse width, periode, dan amplitude dalam satu siklus (360°). Persamaan persamaan dibawah ini digunakan untuk menghitung nilai dari masing masing parameter parameter :

$$\text{Amplitudo (A)} = \text{Konstan (1,2,3,dst) (V)}$$

$$\text{Periode} = \frac{1}{f} \text{ (s)} \quad (4)$$

$$\text{Lebar Pulsa (Pulse Width)} = \text{Duty Ratio (\%)} \quad (5)$$

$$\text{Waktu Tunda Fasa (Phase Delay)} = \frac{1}{f} \frac{\alpha}{360^\circ} \quad (6)$$

Untuk inverter dengan jumlah n level deviasi antar pulsa gelombang dapat di hitung dengan persamaan

$$\text{Deviasi Pulsa Penyalaan} = \frac{90^\circ}{n} \quad (7)$$

n = jumlah level

Saklar S1 – S12 di picu menggunakan pulsa penyalaan dengan amplitude 1 V frekuensi 100Hz Tegangan VDC/25 = 9 V ketika bekerja pada siklus positif. Prosentase lebar pulsa digunakan untuk mengatur siklus aktif (ON) dari saklar pembagi tegangan masukan MLI.

Tabel 1. Parameter Kendali Saklar dan Tegangan Output Inverter Pada Siklus Positif

Saklar (ON)	Lebar Pulsa (%)	Waktu Tunda (s)	Level Tegangan Keluaran Inverter (Vpp)	Saklar Inverter			
				SA	SA'	SB	SB'
S1	99.99	0	108	ON	OFF	OFF	ON
S2	91.667	0.0004347	99	ON	OFF	OFF	ON
S3	83.334	0.000869	90	ON	OFF	OFF	ON
S4	75.001	0.001303	81	ON	OFF	OFF	ON
S5	66.668	0.001737	72	ON	OFF	OFF	ON
S6	58.335	0.002171	63	ON	OFF	OFF	ON
S7	50.002	0.002605	54	ON	OFF	OFF	ON
S8	41.669	0.003039	45	ON	OFF	OFF	ON
S9	33.336	0.003473	36	ON	OFF	OFF	ON
S10	25.003	0.003907	27	ON	OFF	OFF	ON
S11	16.667	0.004341	18	ON	OFF	OFF	ON
S12	8.337	0.004775	9	ON	OFF	OFF	ON

Tabel 1 menjelaskan tentang durasi pensaklaran waktu tunda tegangan keluaran dan kondisi saklar pembagi tegangan maupun saklar inverter pada saat berada pada siklus positif.

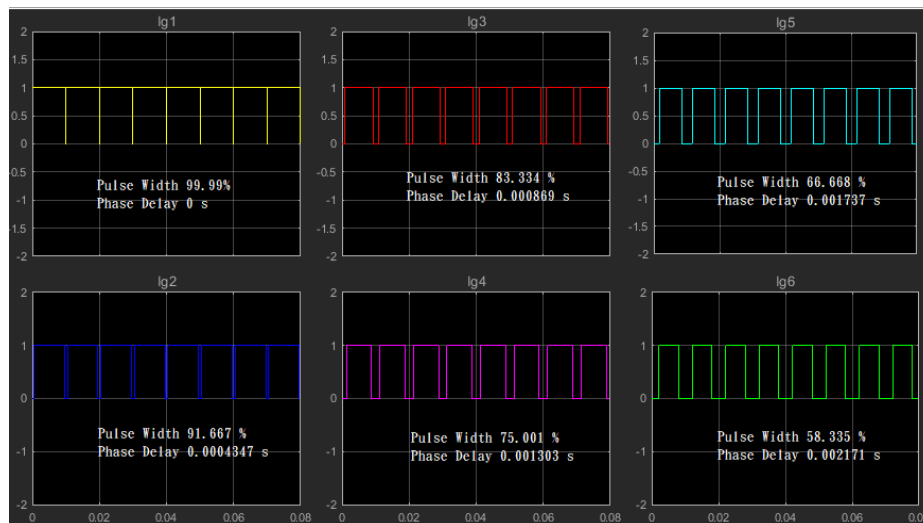
Saklar S1 – S12 di dinyalakan dengan pulsa penyulutan pada amplitude 1 V frekuensi 100Hz Tegangan VDC/25 = 9 V saat beroperasi pada siklus negative.

Tabel 2. Parameter Kendali Saklar dan Tegangan Output Inverter Pada Siklus Negatif

Saklar (ON)	Lebar Pulsa (%)	Waktu Tunda (s)	Level Tegangan Keluaran Inverter (Vpp)	Saklar Inverter			
				SA	SA'	SB	SB'
S1	99.99	0	-108	OFF	ON	ON	OFF
S2	91.667	0.0004347	-99	OFF	ON	ON	OFF
S3	83.334	0.000869	-90	OFF	ON	ON	OFF
S4	75.001	0.001303	-81	OFF	ON	ON	OFF

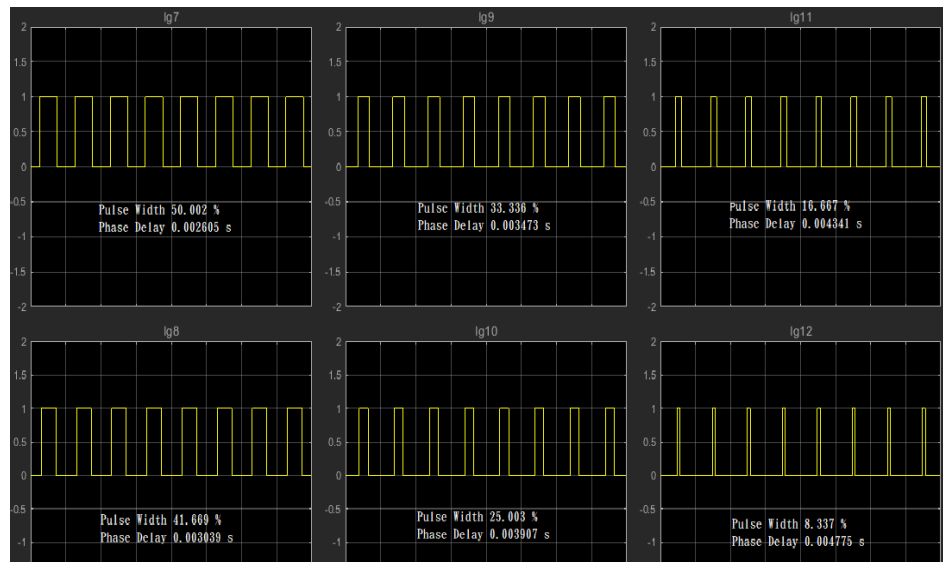
S5	66.668	0.001737	-72	OFF	ON	ON	OFF
S6	58.335	0.002171	-63	OFF	ON	ON	OFF
S7	50.002	0.002605	-54	OFF	ON	ON	OFF
S8	41.669	0.003039	-45	OFF	ON	ON	OFF
S9	33.336	0.003473	-36	OFF	ON	ON	OFF
S10	25.003	0.003907	-27	OFF	ON	ON	OFF
S11	16.667	0.004341	-18	OFF	ON	ON	OFF
S12	8.337	0.004775	-9	OFF	ON	ON	OFF

Tabel 2 memperlihatkan waktu, pensaklaran tempo delay, tegangan keluaran dan kondisi saklar voltage divider maupun saklar inverter ketika beroperasi pada siklus negative.



Gambar 8. Lebar Pulsa Penyulutan Saklar S1 – S6 Aktif pada siklus positif

Gambar 8 merupakan diagram pewaktuan pulsa penyulutan saklar gerbang mosfet pembagi tegangan S1 sampai S6. Deretan pulsa ini menunjukkan bahwa saklar S1 memiliki durasi aktif (ON) yang lebih lama dibanding dengan saklar S2, demikian juga Durasi saklar S2 mempunyai siklus aktif lebih lama dibanding dengan saklar S3 dan seterusnya. Namun level tegangan pada S12 ketika ON lebih tinggi dibanding dengan level tegangan ketika saklar S11, demikian juga level tegangan saklar S11 saat ON lebih tinggi dibanding dengan saklar S10 ketika ON dan seterusnya.

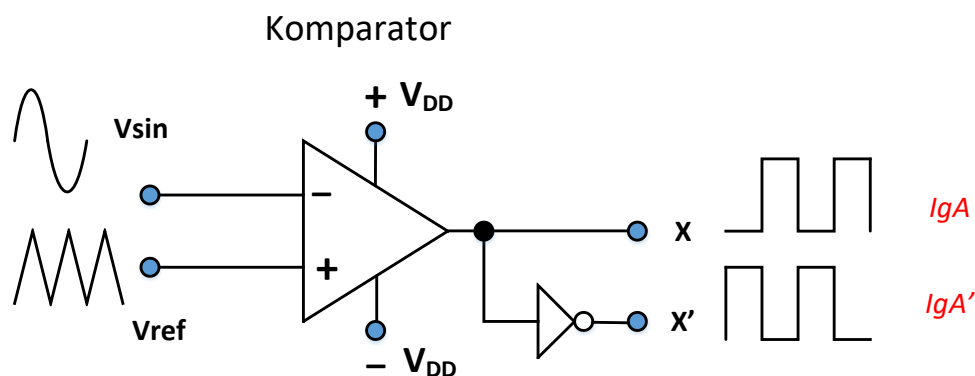


Gambar 9. Deretan Pulsa Penyalan Saklar S7 – S12 Aktif pada Siklus Negative

Gambar 9 merupakan timing diagram pulsa penggerbangan saklar mosfet pembagi tegangan S7 sampai S12. Tiap tiap saklar mosfet pembagi tegangan dinyalakan dengan lebar pulsa yang berbeda untuk mendapatkan pola siklus saat aktif beroperasi. Saklar S7 ketika beroperasi memiliki durasi yang lebih panjang disbanding dengan saklar S8 saat ON, Lebar pulsa saklar S8 lebih lama disbanding dengan saklar S9 pada saat ON dan seterusnya. Level tegangan saat S7 lebih besar disbanding saklar S8 waktu ON dan seterusnya. Pada saat ini saklar S7 – S12 beroperasi pada siklus negative.

3.2. Analisis Penyalan Gerbang Jembatan – H Mosfet Inverter

Saklar jembatan – H Mosfet inverter sebagai pengubah bentuk DC ke AC terdiri dari 4 buah saklar mosfet di kendalikan oleh pulsa PWM (Pulse Width Modulation). Bentuk output pulsa PWM berupa deretan pulsa gelombang dimana lebar pulsa dikendalikan oleh strategi control diantaranya adalah SPWM. Kontrol SPWM adalah sebuah pengaturan lebar pulsa dari komparator yang memodulasi masukan gelombang referensi pada sebuah gelombang sinusoida.

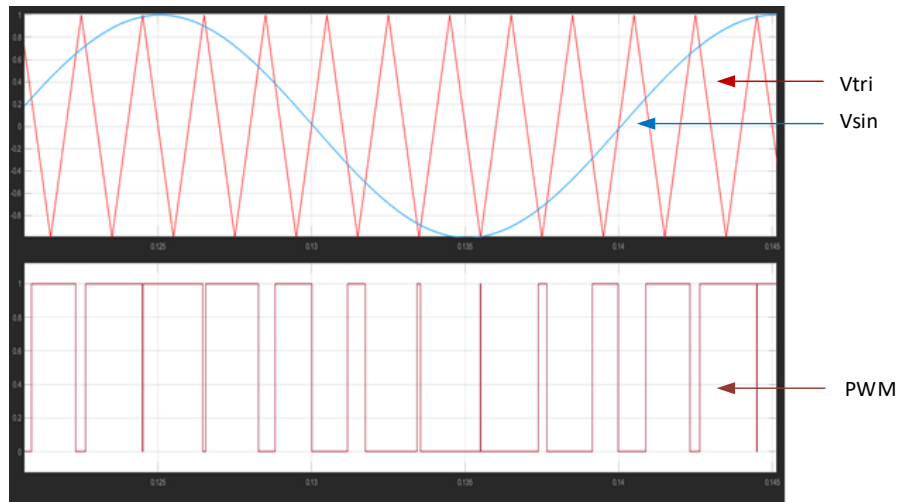


Gambar 10. Sebuah Komparator Pembangkit Modulasi Pulsa

Gambar 10 maka pola gelombang output komparator akan mengikuti kaidah berikut:

1. Jika amplitudo $V_{reference} > \text{amplitudo } V_{sin}$ maka pulsa pada sisi output akan berlogika High.

2. Jika amplitudo $V_{reference} <$ dari amplitudo maka pulsa pada sisi output akan berlogika Low.

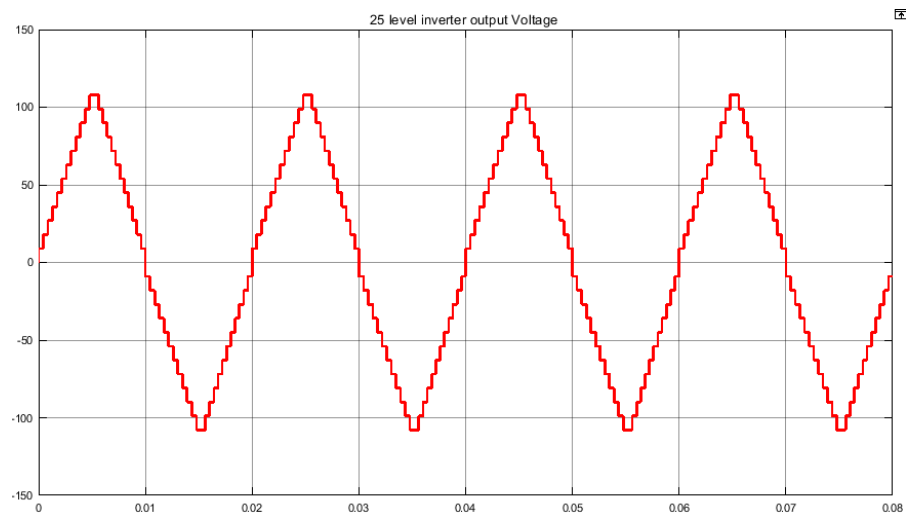


Gambar 11. Simulasi Gelombang Pulsa dengan pengaturan Lebar Pulsa Menggunakan SPWM

Gambar 11 merupakan pulsa gelombang penyalan saklar jembatan – H mosfet inverter menggunakan pengaturan lebar pulsa SPWM. Gelombang pembawa sinusoida memiliki frekuensi 50 Hz sedangkan gelombang referensi memiliki frekuensi 5 kHz. Pulsa I_{gA} dihubungkan pada gerbang saklar SA dan SB' dan pulsa $I_{gA'}$ dihubungkan ke SA' dan SB.

3.3 Analisis Tegangan Keluaran 25 Step Mosfet Inverter

Gelombang tegangan inverter berupa urutan gelombang tangga 25 level seperti tampak pada gambar 12 .



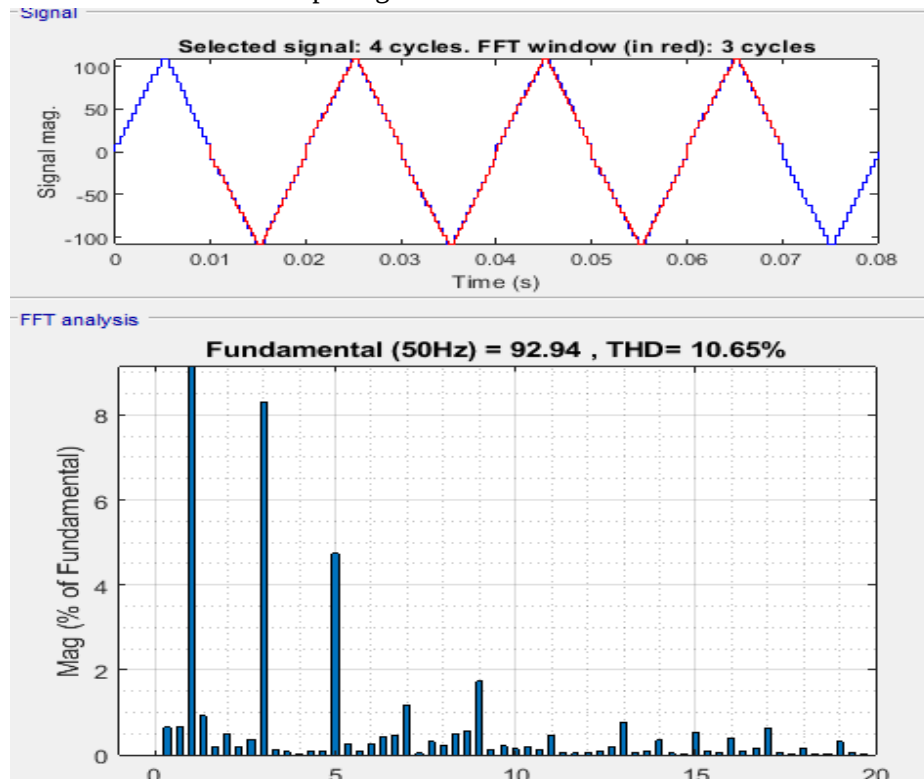
Gambar 12. Format simulasi gelombang tegangan output 25 level Mosfet Inverter

Gambar 12 merupakan hasil simulasi gelombang inverter 25 level Menggunakan divais mosfet. Tampak 25 tangga gelombang dengan amplitude 9 V setiap level sehingga amplitude maksimum tegangan sebesar 108 Vpp. Level tegangan dapat divariasikan dengan mengubah level tegangan 9 V ke level tegangan lain dengan tegangan yang sama tiap tiap levelnya. Pola gelombang keluaran inverter ini hampir berbentuk sinusoida namun masih memiliki riak gelombang yang

mengakibatkan format gelombang sedikit cacat. Cacat gelombang ini menunjukkan bahwa gelombang keluaran memiliki indeks THD yang cukup besar. Dengan Menggunakan persamaan 1 gelombang tersebut memiliki frekuensi 50 Hz yang dapat diketahui dari satu siklus gelombang memerlukan waktu selama 0,02 s.

3.4 Analisis Total Harmonik Distortion (THD)

Dengan Menggunakan persamaa 3 nilai Indeks THD dari 25 level inverter untuk tegangan dapat ditentukan dan disimulasikan pada gambar 13.



Gambar 13. Indeks THD 25 Level Mosfet Inverter

Gambar 13 menunjukkan nilai indeks THD tegangan output 25 level mosfet inverter sebesar 10,65%. Frekuensi gangguan terdapat pada orde ke 3, 5, 7, 11, 13 (150 Hz, 250 Hz, 350 Hz, 550 Hz dan 650 Hz) dan seterusnya atau berada pada orde ganjil dari frekuensi dasarnya. Amplitudo sinyal harmonik tertinggi pada orde ke tiga dan kemudian orde ke 5. Masing masing sebesar 8% dan 5% dari amplitude tegangan output inverter.

4. KESIMPULAN DAN SARAN

Pemodelan pengubah tegangan DC ke AC dengan 25 level tegangan menggunakan divais MOSFET telah selesai dibangun dan menghasilkan format tegangan tangga sebesar 108 Vpp, dimana tiap level berbeda tegangan sebesar 9 V. Format tegangan ini mengandung indeks THD sebesar 10,65%. Dibanding dengan peneliti sebelumnya, riset ini menghasilkan penurunan Indeks THD sebesar 0,27% dengan menggunakan metode yang sama. Indeks THD ini menurut aturan standart IEEE 512 masih cukup besar dan perlu diturunkan lagi sehingga mencapai batas nilai toleransi yang ditetapkan sebesar 5%. Untuk menurunkan indeks THD dapat ditempuh melalui beberapa cara yakni dengan memasang tapis atau filter yang ditala pada frekuensi harmoniknya. Cara lain dengan meningkatkan jumlah level tegangan inverter lebih dari 25 tingkat namun hal ini tentunya jg akan

menemukan kelemahan yaitu rangkaian lebih rumit dan akan menarik konsumsi daya yang lebih besar. Disain ini dapat dikembangkan lagi untuk mereduksi nilai THD menjadi lebih kecil sehingga diharapkan dapat menjadi rujukan bagi peneliti lanjutan untuk diimplementasikan kedalam rangkaian yang nyata.

UCAPAN TERIMA KASIH

Penulis mengucapkan terima kasih kepada Universitas Gunadarma dan staff jurusan teknik elektro yang telah memberikan dukungan hingga selesainya penelitian ini.

DAFTAR PUSTAKA

- [1] R. Ikhsan, "Disain SPWM Multilevel Inverter Satu Fasa 15 Level Dengan menggunakan Kendali Arus PLN," *J-Innovation*, vol. 9, no. 1, pp. 1–6, 2020, [Online]. Available: <https://jurnal.politeknikaceh.ac.id/index.php/jinnovation/article/view/83>.
- [2] E. Effendi, I. D. Sara, and R. S. Lubis, "Disain SPWM Multilevel Inverter Satu Fasa Lima Belas Level," *J. Rekayasa Elektr.*, vol. 12, no. 2, p. 60, 2016, doi: 10.17529/jre.v12i2.3966.
- [3] A. Y, "Design and Simulation of Single-Phase Five-Level Symmetrical Cascaded H-Bridge Multilevel Inverter with Reduces Number of Switches," *J. Electr. Electron. Syst.*, vol. 07, no. 04, pp. 5–9, 2018, doi: 10.4172/2332-0796.1000281.
- [4] S. Shuvo, E. Hossain, T. Islam, A. Akib, S. Padmanaban, and M. Z. R. Khan, "Design and Hardware Implementation Considerations of Modified Multilevel Cascaded H-Bridge Inverter for Photovoltaic System," *IEEE Access*, vol. 7, pp. 16504–16524, 2019, doi: 10.1109/ACCESS.2019.2894757.
- [5] J. M. Kharade, V. M. Patil, O. A. Bhadule, and S. S. Patil, "Comparison of Cascaded H-bridge Multilevel Inverter Topologies with THD Analysis," pp. 3324–3330, 2017, doi: 10.15680/IJIRSET.2017.0603029.
- [6] R. Arulmozhiyal, M. Murali, and K. R. Manjeri, "Design and Analysis of 7 Level Multilevel Inverter for Industrial Applications," *Turkish J. Comput. Math. Educ.*, vol. 12, no. 9, pp. 2777–2781, 2021.
- [7] M. S. Bin Arif, U. Mustafa, S. B. M. Ayob, J. Rodriguez, A. Nadeem, and M. Abdelrahem, "Asymmetrical 17-Level Inverter Topology with Reduced Total Standing Voltage and Device Count," *IEEE Access*, vol. 9, pp. 69710–69723, 2021, doi: 10.1109/ACCESS.2021.3077968.
- [8] Y. Wang, G. Du, J. Liang, and M. Qin, "Flexible cascaded multilevel inverter with multiple operation modes," *J. Power Electron.*, vol. 20, no. 3, pp. 675–686, 2020, doi: 10.1007/s43236-020-00060-4.
- [9] B. Priyanka and N. Dr sandeep, "THD assessment of cascade H-bridge multi-level inverter," *Int. J. Adv. Res. , ideas Innov. Technol.*, vol. 4, no. 3, pp. 1220–1225, 2018.
- [10] L. Nagarajan, A. Anne Rosaline, R. Baladhandapani, A. Nazar Ali, and A. A. Stonier, "Analysis of Three Phase Nine Level Diode Clamped Multi Level Inverter," *IOP Conf. Ser. Mater. Sci. Eng.*, vol. 1055, no. 1, p. 012155, 2021, doi: 10.1088/1757-899x/1055/1/012155.
- [11] Y. S. Bais, S. B. Deshpande, and S. P. Muley, "Implementation of a new H-Bridge 7-level inverter fed induction motor with lesser harmonic values," *2017 Int. Conf. Energy, Commun. Data Anal. Soft Comput. ICECDS 2017*, vol. 12, no. 1, pp. 257–262, 2018, doi: 10.1109/ICECDS.2017.8389906.
- [12] Veena B M and Triveni M T, "Hardware Implementation of 5 Level Inverter Using Microcontroller," *Int. J. Adv. Res. Electr. Electron. Instrum. Eng.*, vol. 2, no. 2, pp. 175–182, 2016, doi: 10.15662/IJAREEIE.2015.0501032.

-
- [13] M. A. Hutabarat, S. Hasan, A. H. Rambe, and Suherman, "Design and simulation hybrid filter for 17 level multilevel inverter," *Bull. Electr. Eng. Informatics*, vol. 9, no. 3, pp. 886–897, 2020, doi: 10.11591/eei.v9i3.890.
- [14] I. Husnaini, Asnil, Habibullah, and Krismadinata, "Komparasi Multilevel Inverter Satu Fasa," *J. EECCIS*, vol. 13, no. 2, pp. 95–99, 2019.
- [15] P. Manoharan, S. Rameshkumar, and S. Ravichandran, "Modelling and implementation of cascaded multilevel inverter as solar PV based microinverter using FPGA," *Int. J. Intell. Eng. Syst.*, vol. 11, no. 2, pp. 18–27, 2018, doi: 10.22266/ijies2018.0430.03.
- [16] J. G. Shankar, J. B. Edward, J. G. Shankar, and J. B. Edward, "Implementation of 9-Level Hybrid Inverter using Multi Reference Pulse Width Modulation Technique with Flyback ... Implementation of 9-Level Hybrid Inverter using Multi Reference Pulse Width Modulation Technique with Flyback Converter for Photovoltaic Syst," no. July, pp. 365–382, 2017.
- [17] E. H. Aboadla et al., "Suppressing voltage spikes of mosfet in h-bridge inverter circuit," *Electron.*, vol. 10, no. 4, pp. 1–17, 2021, doi: 10.3390/electronics10040390.
- [18] R. Sathish, D. K. Kumar, K. Asokan, M. Jagathesan, and C. Thangavel, "Evaluation of a New Nine-Level Cascaded Multi Level-Inverter with Reduced Number of Components," no. 5, pp. 619–624, 2019.
- [19] M. D. Siddique and S. Mekhilef, "A New Configuration of Nine-Level Boost Inverter with Reduced Component Count," *e-Prime*, vol. 1, no. August, p. 100010, 2021, doi: 10.1016/j.prime.2021.100010.
- [20] R. Palanisamy, A. Chacko, A. Kumar, K. Selvakumar, and K. Vijayakumar, "Implementation of seven level inverter with reduced switches based grid connected PV system," *Int. J. Electr. Eng. Technol.*, vol. 11, no. 3, pp. 97–104, 2020.
- [21] S. Mukherjee, S. De, S. Sanyal, S. Das, and S. Saha, "A 15-level asymmetric H-bridge multilevel inverter using d-SPACE with PDPWM technique," *Int. J. Eng. Sci. Technol.*, vol. 11, no. 1, pp. 22–32, 2018, doi: 10.4314/ijest.v11i1.3.
- [22] R. Palanisamy, K. Vijayakumar, V. Venkatachalam, R. M. Narayanan, D. Saravanakumar, and K. Saravanan, "Simulation of various DC-DC converters for photovoltaic system," *Int. J. Electr. Comput. Eng.*, vol. 9, no. 2, p. 917, 2019, doi: 10.11591/ijece.v9i2.pp917-925.
- [23] K. S. Gowthaman et al., "a Nine Level Inverter With Reduced Switch Count," *Int. Res. J. Eng. Technol.*, vol. 7, no. 3, pp. 4659–4665, 2020.
- [24] M. F. Rizaldy, K. Khairudin, N. Soedjarwanto, and N. Purwasih, "Analisa Dampak Penggunaan Filter L-C-L Terhadap Kinerja Pengatur Kecepatan Motor Induksi," *J. Inform. dan Tek. Elektro Terap.*, vol. 10, no. 1, pp. 1–7, 2022, doi: 10.23960/jitet.v10i1.2254.
- [25] B. Simha and R. Mogi, "Study and Analysis of 15 Level MLI using 12 Power Mosfet Switches," vol. 11, no. 06, pp. 347–356, 2022.
- [26] H. Matalata and I. Hamid, "Tingkat Satu Fasa Tipe Diode Clamped Dengan Mereduksi Komponen Saklar Daya," no. 3, 2016.